

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki ASAO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: MAGNETIC RANDOM ACCESS MEMORY HAVING MEMORY CELLS CONFIGURED BY USE OF
TUNNELING MAGNETORESISTIVE ELEMENTS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ **Date Filed** _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

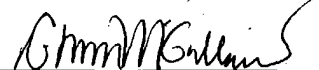
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-206171	July 15, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月15日

出 願 番 号

Application Number:

特願2002-206171

[ST.10/C]:

[JP2002-206171]

出 願 人

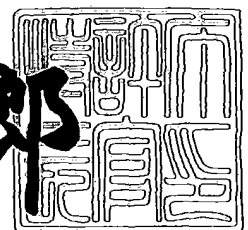
Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



【書類名】 特許願

【整理番号】 A000200573

【提出日】 平成14年 7月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10
G11C 11/16

【発明の名称】 磁気ランダムアクセスメモリ

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 浅尾 吉昭

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 岩田 佳久

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ

【特許請求の範囲】

【請求項1】 トンネル型磁気抵抗効果により情報を記憶するトンネル磁気抵抗素子と、前記トンネル磁気抵抗素子を選択する選択素子とを有するメモリセルと、

前記メモリセルに読み出し電圧を印加し、前記選択素子を介して前記トンネル磁気抵抗素子に電流を流すことにより、前記トンネル磁気抵抗素子から情報を読み出す読み出し回路とを具備し、

前記読み出し回路は、情報の読み出し時に、前記トンネル磁気抵抗素子の抵抗変化率が、当該トンネル磁気抵抗素子の両端に0Vを印加した時の抵抗変化率の実質的に半分になる電圧を前記トンネル磁気抵抗素子に印加するための電圧設定部を備えることを特徴とする磁気ランダムアクセスメモリ。

【請求項2】 トンネル型磁気抵抗効果により情報を記憶するトンネル磁気抵抗素子と、前記トンネル磁気抵抗素子を選択する選択素子とを有するメモリセルと、

前記メモリセルに読み出し電圧を印加し、前記選択素子を介して前記トンネル磁気抵抗素子に電流を流すことにより、前記トンネル磁気抵抗素子から情報を読み出す読み出し回路とを具備し、

前記読み出し回路は、情報の読み出し時に、前記トンネル磁気抵抗素子に印加される電圧より、少なくとも前記選択素子による電圧降下分高い電圧を前記トンネル磁気抵抗素子に印加するための電圧設定部を備えることを特徴とする磁気ランダムアクセスメモリ。

【請求項3】 前記メモリセルはマトリックス状に配置され、

前記各メモリセル中の選択素子の制御電極に行毎に接続されたワード線と、

前記各メモリセル中のトンネル磁気抵抗素子の一端に列毎に接続されたビット線とを更に具備し、

前記読み出し回路は、前記各メモリセルに流れる電流を規定する電流規定部と、前記ビット線における記憶情報の“1”と“0”の中間に対応する電位と前記

メモリセルから読み出された電位とを比較し、記憶情報を読み出す比較部とを備えることを特徴とする請求項 1 または 2 に記載の磁気ランダムアクセスメモリ。

【請求項 4】 前記トンネル磁気抵抗素子は、他端が前記選択素子の電流通路の一端に複数個接続されていることを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載の磁気ランダムアクセスメモリ。

【請求項 5】 前記選択素子は MOSFET であり、前記制御電極はゲート電極であることを特徴とする請求項 3 または 4 に記載の磁気ランダムアクセスメモリ。

【請求項 6】 前記選択素子はバイポーラトランジスタであり、前記制御電極はベース電極であることを特徴とする請求項 3 または 4 に記載の磁気ランダムアクセスメモリ。

【請求項 7】 前記選択素子はダイオードであり、
前記メモリセルはマトリックス状に配置され、
前記ダイオードのカソードに行毎に接続されたワード線と、
前記各メモリセル中のトンネル磁気抵抗素子の一端に列毎に接続されたビット線とを更に具備し、

前記読み出し回路は、前記各メモリセルに流れる電流を規定する電流規定部と、前記ビット線における記憶情報の“1”と“0”の中間に対応する電位と前記メモリセルから読み出された電位とを比較し、記憶情報を読み出す比較部とを備えることを特徴とする請求項 1 または 2 に記載の磁気ランダムアクセスメモリ。

【請求項 8】 前記トンネル磁気抵抗素子は、他端が前記ダイオードのアノードに複数個接続されていることを特徴とする請求項 7 に記載の磁気ランダムアクセスメモリ。

【請求項 9】 前記複数個接続されているトンネル磁気抵抗素子のうち少なくとも 2 つは並列接続されていることを特徴とする請求項 4 または 8 に記載の磁気ランダムアクセスメモリ。

【請求項 10】 前記複数個接続されている前記トンネル磁気抵抗素子のうち少なくとも 2 つは直列接続されていることを特徴とする請求項 4 または 8 に記載の磁気ランダムアクセスメモリ。

【請求項 1 1】 トンネル型磁気抵抗効果により情報を記憶するトンネル磁気抵抗素子と、

前記トンネル磁気抵抗素子の一端に接続されたビット線と、

前記トンネル磁気抵抗素子の他端に接続されたワード線と、

前記メモリセルに読み出し電圧を印加し、前記トンネル磁気抵抗素子に電流を流すことにより、前記トンネル磁気抵抗素子から情報を読み出す読み出し回路とを具備し、

前記読み出し回路は、情報の読み出し時に、前記トンネル磁気抵抗素子の抵抗変化率が、当該トンネル磁気抵抗素子の両端に 0 V を印加した時の抵抗変化率の実質的に半分になる電圧を印加するための電圧設定部を備えることを特徴とする磁気ランダムアクセスメモリ。

【請求項 1 2】 前記メモリセルはマトリックス状に配置され、

前記読み出し回路は、前記各メモリセルに流れる電流を規定する電流規定部と、前記ビット線における記憶情報の“1”と“0”の中間に対応する電位と前記メモリセルから読み出された電位とを比較し、記憶情報を読み出す比較部とを備えることを特徴とする請求項 1 1 に記載の磁気ランダムアクセスメモリ。

【請求項 1 3】 前記ビット線は、前記トンネル磁気抵抗素子の上方に配置されることを特徴とする請求項 1 2 に記載の磁気ランダムアクセスメモリ。

【請求項 1 4】 前記ビット線は、前記トンネル磁気抵抗素子の下方に配置されることを特徴とする請求項 1 2 に記載の磁気ランダムアクセスメモリ。

【請求項 1 5】 前記ワード線は、前記トンネル磁気抵抗素子の上方に配置されることを特徴とする請求項 1 2 または 1 4 に記載の磁気ランダムアクセスメモリ。

【請求項 1 6】 前記ワード線は、前記トンネル磁気抵抗素子の下方に配置されることを特徴とする請求項 1 2 または 1 3 に記載の磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、トンネル型磁気抵抗 (Tunneling Magneto Resistive) 効果により情報を記憶するトンネル磁気抵抗素子を用いてメモリセルを構成した磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) に関する。

【0002】

【従来の技術】

近年、新たな原理により情報を記憶するメモリが数多く提案されている。そのうちの一つに、Roy Scheuerlein et. al. によって提案されたトンネル型磁気抵抗 (Tunneling Magneto Resistive: 以下、TMRと略記する) 効果を利用したメモリ、いわゆる磁気ランダムアクセスメモリがある (例えば、ISSCC2000 Technical Digest p.128 "A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell"を参照)。

【0003】

磁気ランダムアクセスメモリは、TMR素子により“1”，“0”の情報を記憶する。このTMR素子は、図8に示すように2つの磁性層 (強磁性層) 11，12により絶縁層 (トンネルバリア) 13を挟んだ構造部を有する。TMR素子10に記憶される情報は、2つの磁性層11，12のスピンの向きが平行かまたは反平行かによって判断される。

【0004】

ここで、スピンの向きが平行とは、図9 (a) に示すように2つの磁性層11，12のスピンの向きが同じであることを意味し、反平行とは図9 (b) に示すように2つの磁性層11，12のスピンの向きが逆平行であることを意味する (矢印の向きがスピンの向きを示している)。

【0005】

なお、通常、2つの磁性層11，12の一方側には反強磁性層14が配置されている。この反強磁性層14は、一方側の磁性層12のスピンの向きを固定し、他方側の磁性層11のスピンの向きのみを変えることにより、情報を容易に書き換えるための部材であり、固定層と呼ばれている。また、一方側の磁性層12はピン層、他方側の磁性層11はメモリ層または記録層と呼ばれている。

【0006】

図9 (a) に示すように、2つの磁性層（メモリ層とピン層）11, 12のスピンの向きが平行となった場合、これら2つの磁性層11, 12に挟まれた絶縁層13を流れるトンネル電流が大きくなり、TMR素子10の抵抗値（トンネル抵抗）は最も低くなる。この状態が“1”である。また、図9 (b) に示すように、2つの磁性層11, 12のスピンの向きが反平行になった場合、これら2つの磁性層11, 12に挟まれた絶縁層13を流れるトンネル電流が小さくなり、トンネル抵抗は最も高くなる。この状態が“0”である。

【0007】

次に、上記TMR素子10をメモリセルとして用いる磁気ランダムアクセスメモリに対する書き込み動作の原理について、図10を参照しつつ簡単に説明する。

【0008】

メモリセルとして働く各TMR素子MC11～MCnmは、マトリックス状に配置される。これらのTMR素子MC11～MCnmは、書き込みワード線WL1～WLnとビット線（データ選択線）BL1～BLmとの交差位置近傍に配置される。そして、書き込みは、選択した書き込みワード線WL_i（ $i=1\sim n$ ）及びビット線BL_j（ $j=1\sim m$ ）に電流を流し、両配線WL_i, BL_jに流れる電流により生成される磁界を用いて、TMR素子MC_{ij}におけるメモリ層のスピンの向きをピン層と平行または反平行にすることにより達成される。

【0009】

例えば、図10に示すように、書き込み時に、ビット線BL3には一方向に向かう電流のみを流し、書き込みワード線WL2には書き込み情報（データ）に応じて一方向または他方向に向かう電流を流す。書き込みワード線WL2に一方向に向かう電流を流すとき、TMR素子MC23のメモリ層のスピンの向きは、ピン層と平行（“1”の状態）となる。一方、書き込みワード線WL2に他方向に向かう電流を流すとき、TMR素子MC23のメモリ層のスピンの向きは、ピン層と反平行（“0”の状態）となる。

【0010】

上記TMR素子MC11～MCnmにおけるピン層のスピンの向きが変わる原

理は、次の通りである。

【0011】

図11のTMR曲線に示すように、TMR素子のEasy-Axis（長辺）方向に磁界 H_x をかけると、TMR素子の抵抗値は17%程度変化する。この抵抗変化率、すなわち変化の前後の抵抗値の比はMR比と呼ばれる。なお、MR比は、磁性層の性質により変化する。現在では、磁性層の材料を選択することにより、MR比が50%程度のTMR素子も得られている。

【0012】

TMR素子には、Easy-Axis方向の磁界 H_x とHard-Axis（短辺）方向の磁界 H_y との合成磁界が掛かる。図11の実線及び破線に示したように、Hard-Axis方向の磁界 H_y の大きさによって、TMR素子の抵抗値を変えるために必要なEasy-Axis方向の磁界 H_x の大きさも変化する。この現象を利用することにより、マトリックス状に配置されたメモリセルのうち、選択された書き込みワード線及び選択されたビット線の交点に存在するTMR素子のみにデータを書き込むことができる。

【0013】

TMR素子のアステロイド曲線は、例えば図12の実線で示すようになる。すなわち、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさがアステロイド曲線（実線）の外側（例えば、黒丸の位置）にあれば、磁性層のスピンの向きを反転させることができる。

【0014】

逆に、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさがアステロイド曲線（実線）の内側（例えば、白丸の位置）にある場合には、磁性層のスピンの向きを反転させることはできない。

【0015】

従って、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさを変え、合成磁界の大きさの H_x-H_y 平面内における位置を変えることにより、TMR素子に対するデータの書き込みを制御できる。

【0016】

なお、読み出しは、選択されたTMR素子に電流を流し、そのTMR素子の抵抗値を検出することにより容易に行うことができる。

【0017】

例えば、TMR素子に直列にスイッチ素子を接続し、選択された読み出しワード線に接続されているスイッチ素子のみをオン状態にして電流経路を生成する。この結果、選択されたTMR素子だけに電流が流れるため、そのTMR素子のデータを読み出すことができる。

【0018】

ところで、上記読み出し動作は、TMR素子とスイッチ素子との直列回路の両端に、所定の電圧 V_0 が印加された状態で流れる電流 I をセンスアンプで検知することによって行われる。前述したように、“1”の記憶状態は固定層と記録層のスピンの向きが同じ場合であり、そのときの電流を I_p とする。また、“0”の記憶状態は固定層と記録層のスピンの向きが異なる場合であり、そのときの電流を I_a とする。ここで、“1”の状態の方が“0”の状態よりもTMR素子の抵抗値が低いため、 $I_p > I_a$ である。一般に、読み出しマージン ΔI は、 $\Delta I = I_p - I_a$ が大きいほど良い。よって、電圧 V_0 を大きくしていけば読み出しマージン ΔI は大きく取れそうであるが、TMR素子はその両端に印加される電圧 E が大きくなるほどMR比が低下することが知られている。このため、容易に読み出しマージン ΔI を大きくすることはできない。

【0019】

【発明が解決しようとする課題】

上記のように従来の磁気ランダムアクセスメモリは、読み出しマージンを大きくするために、TMR素子とスイッチ素子との直列回路の両端に印加する電圧を大きくすると、TMR素子のMR比が低下するため読み出しマージンを大きくできないという問題があった。

【0020】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、読み出しマージンを大きくできる磁気ランダムアクセスメモリを提供することにある。

【0021】

【課題を解決するための手段】

この発明の磁気ランダムアクセスメモリは、トンネル型磁気抵抗効果により情報を記憶するトンネル磁気抵抗素子と、前記トンネル磁気抵抗素子を選択する選択素子とを有するメモリセルと、前記メモリセルに読み出し電圧を印加し、前記選択素子を介して前記トンネル磁気抵抗素子に電流を流すことにより、前記トンネル磁気抵抗素子から情報を読み出す読み出し回路とを具備し、前記読み出し回路は、情報の読み出し時に、前記トンネル磁気抵抗素子の抵抗変化率が、当該トンネル磁気抵抗素子の両端に0Vを印加した時の抵抗変化率の実質的に半分になる電圧を前記トンネル磁気抵抗素子に印加するための電圧設定部を備えることを特徴としている。

【0022】

また、この発明の磁気ランダムアクセスメモリは、トンネル型磁気抵抗効果により情報を記憶するトンネル磁気抵抗素子と、前記トンネル磁気抵抗素子を選択する選択素子とを有するメモリセルと、前記メモリセルに読み出し電圧を印加し、前記選択素子を介して前記トンネル磁気抵抗素子に電流を流すことにより、前記トンネル磁気抵抗素子から情報を読み出す読み出し回路とを具備し、前記読み出し回路は、情報の読み出し時に、前記トンネル磁気抵抗素子に印加される電圧より、少なくとも前記選択素子による電圧降下分高い電圧を前記トンネル磁気抵抗素子に印加するための電圧設定部を備えることを特徴としている。

【0023】

更に、この発明の磁気ランダムアクセスメモリは、トンネル型磁気抵抗効果により情報を記憶するトンネル磁気抵抗素子と、前記トンネル磁気抵抗素子の一端に接続されたビット線と、前記トンネル磁気抵抗素子の他端に接続されたワード線と、前記メモリセルに読み出し電圧を印加し、前記トンネル磁気抵抗素子に電流を流すことにより、前記トンネル磁気抵抗素子から情報を読み出す読み出し回路とを具備し、前記読み出し回路は、情報の読み出し時に、前記トンネル磁気抵抗素子の抵抗変化率が、当該トンネル磁気抵抗素子の両端に0Vを印加した時の抵抗変化率の実質的に半分になる電圧を印加するための電圧設定部を備えること

を特徴としている。

【0024】

上記のような構成によれば、TMR素子のMR比の低下を抑制しつつ、TMR素子と選択素子との直列回路の両端に印加する電圧を大きくできるので、読み出しマージンを大きくできる。

【0025】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

〔第1の実施の形態〕

図1及び図2はそれぞれ、この発明の第1の実施の形態に係る磁気ランダムアクセスメモリの概略構成例を示している。図1では、磁気ランダムアクセスメモリにおける読み出し動作に関係する回路部に着目して示しており、メモリセルアレイ部と読み出し回路として働くセンスアンプ部とを抽出して示す回路図である。また、図2は、上記図1に示したメモリセルアレイ中の各メモリセルの構成例を示す断面図である。

【0026】

図1に示す如く、メモリセルアレイMCAは、メモリセルMC11～MCnmがマトリックス状に配置されて構成されている。各メモリセルMC11～MCnmは、TMR素子10とこのTMR素子10を選択するための選択素子（スイッチ素子）として働くMOSFET Trとを備えている。上記各メモリセルMC11～MCnm中の各MOSFET Trのゲート電極には、読み出しワード線WL1～WLnが行毎に接続されている。これらMOSFET Trのソース電極には、ソース線（図示せず）が接続されている。上記読み出しワード線WL1～WLn上にはそれぞれ、同一方向に書き込みワード線（図示せず）が配置されている。これらのワード線にはロウデコーダRDの出力信号が供給される。上記各メモリセルMC11～MCnm中のMOSFET Trのドレイン電極には、TMR素子10の一端が接続され、これらTMR素子10の他端は列毎にビット線（データ選択線）BL1～BLmに接続される。

【0027】

上記各ビット線 $BL1 \sim BLm$ の一端には、カラム選択ゲート $CSG1 \sim CSGm$ の電流通路の一端が接続される。上記各カラム選択ゲート $CSG1 \sim CSGm$ のゲート電極には、カラムデコーダ CD の出力信号（カラム選択信号） $CSL1 \sim CSLm$ が供給される。各カラム選択ゲート $CSG1 \sim CSGm$ の電流通路の他端は、センスアンプ部 50 のノード N に共通接続されている。

【0028】

上記センスアンプ部 50 は、選択されたメモリセルに読み出し電圧を印加し、 $MOSFET\ Tr$ を介してトンネル磁気抵抗素子 10 に電流を流すことにより、トンネル磁気抵抗素子 10 からデータを読み出す読み出し回路として働くものである。このセンスアンプ部 50 は、電流源 51、 $MOSFET\ 52$ 及びオペアンプ 53、54 等を含んで構成されている。 $MOSFET\ 52$ の電流通路の一端は、各カラム選択ゲート $CSG1 \sim CSGm$ の電流通路の他端に共通接続されている。この $MOSFET\ 52$ のゲート電極にはオペアンプ 53 の出力端が接続され、電流通路の他端にはその反転入力端（-）が接続される。上記オペアンプ 53 の非反転入力端（+）には定電位 V_{mtj} が印加されるようになっている。

【0029】

また、上記 $MOSFET\ 52$ の電流通路の他端には、オペアンプ 54 の非反転入力端（+）が接続され、このオペアンプ 54 の反転入力端（-）には基準電位 V_{REF} が印加される。

【0030】

そして、上記電流源 51 から上記 $MOSFET\ 52$ の電流通路の他端に定電流が供給されるようになっている。

【0031】

この電流源 51 は、 TMR 素子 10 と $MOSFET\ Tr$ を流れる読み出し電流を規定するための電流規定部として働くもので、例えば $100\ \mu A \sim 300\ \mu A$ の電流を流す。

【0032】

また、上記オペアンプ 53 は、データの読み出し時に、トンネル磁気抵抗素子 10 の抵抗変化率が、当該トンネル磁気抵抗素子 10 の両端に $0\ V$ を印加した時

の抵抗変化率の実質的に半分になる電圧 V_h を上記トンネル磁気抵抗素子 10 に印加するための電圧設定部として働くものである。このオペアンプ 53 の非反転入力端 (+) に印加される電位 V_{mtj} によって、読み出し時に TMR 素子 10 と MOSFET Tr との直列回路に印加される電圧が設定される。ここで、カラム選択ゲート CSG のオン抵抗や配線抵抗等による IR 低下を無視すれば、MOSFET Tr と TMR 素子 10 との直列回路の両端に印加される読み出し電圧は定電位 V_{mtj} に相当することになる。

【0033】

より好ましくは、オペアンプ 53 によって設定されるセンスアンプ部 50 のノード N の電位を、読み出し電圧より上記 MOSFET Tr のオン抵抗による電圧降下分高い電位に設定する。あるいは、上記 MOSFET Tr のオン抵抗に加えて、カラム選択ゲート CSG のオン抵抗や配線抵抗等による IR 低下分高い電圧に設定することにより、電圧 V_h を最適化できる。

【0034】

更に、上記オペアンプ 54 は比較部として働くもので、上記ビット線 BL1 ~ BLm における記憶データの “1” と “0” の中間に対応する基準電位 V_{REF} と読み出した電位とを比較することにより、記憶データの “1”, “0” を判定して出力する。

【0035】

上記各メモリセル MC11 ~ MCnm は、例えば図 2 に示すように構成されている。すなわち、P 型シリコン基板 (P-sub) 21 の主表面には、STI (Shallow Trench Isolation) 領域 22, 23 が形成されて素子分離されている。上記 STI 領域 22, 23 により区画されたシリコン基板 21 の主表面には、MOSFET Tr のソース、ドレイン領域となる N^+ 型の不純物拡散領域 24, 25 が形成されている。上記ソース、ドレイン領域 24, 25 間のシリコン基板 21 上には、ゲート絶縁膜 26 が設けられ、このゲート絶縁膜 26 上に読み出しワード線 WL として働くゲート電極 27 が形成されている。上記シリコン基板 21 及びゲート電極 27 上には、第 1 の層間絶縁膜 28 が形成される。この層間絶縁膜 28 の上記ソース、ドレイン領域 24, 25 上には、コンタクトホール 29

、30が形成されている。

【0036】

上記層間絶縁膜28上には、第1層目の金属層からなるソース線31と配線32が形成されている。上記ソース線31は、上記コンタクトホール29内に形成された金属プラグ33を介してソース領域24に電氣的に接続され、上記配線32は、上記コンタクトホール30内に形成された金属プラグ34を介してドレイン領域25に電氣的に接続される。

【0037】

上記層間絶縁膜28、ソース線31及び配線32上には、第2の層間絶縁膜35が形成される。この層間絶縁膜35の上記配線32上には、コンタクトホール36が形成されている。上記層間絶縁膜35上には、第2層目の金属層からなる書き込みワード線37と配線38が形成されている。この書き込みワード線37は、上記読み出しワード線（ゲート電極27）と同じ方向に沿って形成されている。また、上記配線38は、配線32上に形成されており、上記コンタクトホール36に埋め込まれた金属プラグ39を介して上記配線32と電氣的に接続されている。

【0038】

上記第2の層間絶縁膜35、上記書き込みワード線37及び配線38上には、第3の層間絶縁膜40が形成される。この層間絶縁膜40の上記配線38上にはコンタクトホール41が形成されている。上記層間絶縁膜40上には、第3層目の金属層からなる配線42が形成されている。この配線42は、上記配線層38上から書き込みワード線37上に延設されており、上記層間絶縁膜40に形成されたコンタクトホール41に埋め込まれた金属プラグ43を介して上記配線38に電氣的に接続される。

【0039】

上記第3の層間絶縁膜40上及び上記配線42上には第4の層間絶縁膜44が形成され、この層間絶縁膜44における上記配線42上の書き込みワード線37上に対応する位置にTMR素子10が設けられる。このTMR素子10は、図8に示したように、2つの強磁性層（メモリ層とピン層）11、12により絶縁層

(トンネルバリア) 13 を挟んだ構造部を有し、これら2つの強磁性層 11, 12 の一方側には固定層としての反強磁性層 14 が配置されている。ここで、上記 TMR 素子 10 のスピンの向きは、紙面に対して垂直方向でも平行方向でもかまわない。

【0040】

上記層間絶縁膜 44 及び上記 TMR 素子 10 上には、第4層目の金属層からなるビット線（読み出し・書き込み兼用）45 が上記書き込みワード線 37 及び上記読み出しワード線 27 と交差する方向に配置されている。

【0041】

上述したような構成のメモリセルは、基本的には既存の CMOS プロセスを用いて形成される。

【0042】

上記のような構成において、データの書き込み時には、書き込みワード線 37 とビット線 45 を書き込み配線として用い、磁場を発生して書き込みデータに応じてスピンの向きを変える。一方、読み出し時には、読み出しワード線 27 により、スイッチング素子である MOSFET T_r をオン状態にして、ビット線 45 から TMR 素子 10 及び MOSFET T_r を介してソース線 31 へと電流を流す。

【0043】

この際、本実施の形態では、センスアンプ部 50 のノード N の電位を、 V_h よりもカラム選択ゲート CSG のオン抵抗と MOSFET T_r のオン抵抗との和による電圧降下分だけ高くしている。これによって、MOSFET T_r と TMR 素子 10 との直列回路の両端に印加される電圧は、 V_h よりも MOSFET T_r のオン抵抗による電圧降下分高くなる。よって、TMR 素子 10 の両端に印加される電圧は V_h となる。

【0044】

次に、上記 V_h の定義を説明する。一般に、TMR 素子 10 はその両端に印加される電圧が大きいほど MR 比が低下することが知られている。この MR 比が印加電圧 0 V のときに比べ半分になる印加電圧を V_h とする。

【0045】

図1及び図2に示したような1MOSFET-1TMR型MRAMにおける読み出し時の等価回路は、図3に示すようなものである。読み出し電圧Eを大きくすればTMR素子10とMOSFET Trを流れる電流は増えそうであるが、前述したように読み出し電圧Eを大きくするとMR比が低下する現象があるため、読み出し信号量は読み出し電圧Eに対してある極大点を持つ。すなわち、MR比は、読み出し電圧Eの増大に対してほぼ1次関数的に悪くなるので、

$$MR = MR_{max} - k \times E$$

と表され、

MTJ (Magnetic Tunnel Junction) の抵抗Rが印加電圧に依存しないと仮定すると、

$$\Delta I = E/R - E/(R[1+MR])$$

$$= E/R \times MR / (1+MR)$$

$$d(\Delta I)/dE = 1/R \times MR / (1+MR) + E/R \times 1 / (1+MR)^2 \times d(MR)/dE$$

$$= 1/R \times 1 / (1+MR)^2 \times [MR(1+MR) - k \times E]$$

$$= 1/R \times 1 / (1+MR)^2 \times [m + \sqrt{m} - k \times E] [m - \sqrt{m} - k \times E]$$

となる。ここで、

$$m = 1 + MR_{max}$$

であり、 ΔI は $V = (m - \sqrt{m}) / k$ で極大値を取り、 $E = (m + \sqrt{m}) / k$ で極小値を取り、Vは MR_{max} / k を超えることはないから、 ΔI が最大値となるのは、

$$E = (m - \sqrt{m}) / k$$

である。mは1より小さいので \sqrt{m} を近似すると、

$$\sqrt{m} = 1 + MR_{max} / 2$$

となる。従って、 ΔI が最大値となるのは、

$$E = (m - \sqrt{m}) / k = (1 + MR_{max} - [1 + MR_{max} / 2]) / k$$

$$= MR_{max} / 2k$$

である。また、Vhの定義から

$$MR_{max}/2 = MR_{max} - k \times V_h$$

である。

【0046】

従って、 $V_h = MR_{max}/2k$ となるから、 ΔI が最大値となるのは、 V_h 近辺ということになる。

【0047】

よって、読み出し回路からメモリセルに印加する読み出し電圧 E を、TMR素子10の両端の電圧が0Vの時の抵抗変化率に対して、TMR素子が低抵抗状態から高抵抗状態に変化する際の抵抗変化率の半分にすることにより、1MOSFET-1TMR型MRAMにおいて読み出しマージンを最も大きく設定できる。

【0048】

なお、上記第1の実施の形態では、メモリセル中のスイッチ素子としてMOSFETを用いる場合を例にとって説明したが、他のスイッチ素子、例えばバイポーラトランジスタを用いても良いのは勿論である。バイポーラトランジスタを用いる場合には、ベース電極に読み出しワード線 $WL_1 \sim WL_n$ を行毎に接続し、エミッタ電極（またはコレクタ電極）にソース線を接続し、コレクタ電極（またはエミッタ電極）にTMR素子10の一端を接続する。

【0049】

〔第2の実施の形態〕

本実施の形態は、前述した第1の実施の形態におけるMOSFET TrをダイオードDに置き換えたものである。すなわち、図1に示した回路における各メモリセル $MC_{11} \sim MC_{nm}$ 中のMOSFET Trに代えてダイオードDを設け、アノードを各TMR素子10の一端にそれぞれ接続し、カソードをワード線 $WL_1 \sim WL_n$ に行毎に接続した構成である。図4は、このような1ダイオード-1TMR型MRAMにおけるメモリセルの構成例を示している。このメモリセルは、クロスポイント型と呼ばれるものである。図5は、本実施の形態における読み出し時の等価回路である。

【0050】

この構造のメモリセル部では、P型シリコン基板21の主表面に、STI領域

22, 23が形成されて素子分離されている。上記STI領域22, 23により区画されたシリコン基板21の主表面には、ダイオードDのカソード領域となる N^+ 型の不純物拡散領域46が形成されている。このカソード領域46中の一部には、ダイオードDのアノード領域となる P^+ 型の不純物拡散領域47が形成されている。上記シリコン基板21上には、第1の層間絶縁膜28が形成される。この層間絶縁膜28のカソード領域46及び上記アノード領域47上には、コンタクトホール29, 30が形成されている。

【0051】

上記層間絶縁膜28上には、第1層目の金属層からなるワード線48と配線32が形成されている。上記ワード線48は、上記コンタクトホール29内に形成された金属プラグ33を介してカソード領域46に電氣的に接続され、上記配線32は、上記コンタクトホール30内に形成された金属プラグ34を介してアノード領域47に電氣的に接続される。

【0052】

上記層間絶縁膜28、ワード線48及び配線32上には、第2の層間絶縁膜35が形成される。この層間絶縁膜35の上記配線32上には、コンタクトホール36が形成されている。上記層間絶縁膜35上には、第2層目の金属層からなる書き込みワード線37と配線38が形成されている。この書き込みワード線37は、上記ワード線48と同じ方向に沿って形成されている。また、上記配線38は、配線32上に形成されており、上記コンタクトホール36に埋め込まれた金属プラグ39を介して上記配線32と電氣的に接続されている。

【0053】

上記第2の層間絶縁膜35、上記書き込みワード線37及び配線38上には、第3の層間絶縁膜40が形成される。この層間絶縁膜40の上記配線38上にはコンタクトホール41が形成されている。上記層間絶縁膜40上には、第3層目の金属層からなる配線42が形成されている。この配線42は、上記配線層38上から書き込みワード線37上に延設されており、上記層間絶縁膜40に形成されたコンタクトホール41に埋め込まれた金属プラグ43を介して上記配線38に電氣的に接続される。

【0054】

上記第3の層間絶縁膜40上及び上記配線42上には第4の層間絶縁膜44が形成される。この層間絶縁膜44における上記配線42上の書き込みワード線37上に対応する位置にTMR素子10が設けられる。このTMR素子10は、図8に示したように、2つの強磁性層（メモリ層とピン層）11、12により絶縁層（トンネルバリア）13を挟んだ構造部を有し、これら2つの強磁性層11、12の一方側には固定層としての反強磁性層14が配置されている。ここで、上記TMR素子10のスピンのはきは、紙面に対して垂直方向でも平行方向でもかまわない。

【0055】

上記層間絶縁膜44及び上記TMR素子10上には、第4層目の金属層からなるビット線（読み出し・書き込み兼用）45が上記書き込みワード線37と交差する方向に配置されている。

【0056】

上記のような構成では、書き込み及び読み出し動作は、ワード線48とビット線45の2本の配線で行う。この際、ダイオードDの整流性を利用して選択セルのみへの書き込みと読み出しを行うため、各配線に印加するバイアス電圧をコントロールする。

【0057】

そして、第1の実施の形態と同様に、読み出し時に、TMR素子10の両端に印加される電圧が V_h と実質的に等しくする。このために、センスアンプ部50のノードNの電位を、 V_h よりもカラム選択ゲートCSGのオン抵抗による電圧降下とダイオードDの順方向電圧による電圧降下との和分だけ高くする。よって、ダイオードDとTMR素子10との直列回路の両端に印加される電圧は、 V_h よりもダイオードDの順方向電圧分高くなる。

【0058】

上記のような構成によれば、TMR素子10の選択素子としてダイオードを用いる1ダイオード-1TMR型MRAMにおいても読み出しマージンを大きくできる。

【0059】

なお、上述した第1及び第2の実施の形態において、複数のTMR素子を直列または並列接続し、1つの選択素子（MOSFET、バイポーラトランジスタ、ダイオード）を共用するように各メモリセルMC11～MCnmを構成しても良い。上記複数のTMR素子の全てを直列または並列接続することもできるが、少なくとも2つを直列または並列接続することもできる。

【0060】

[第3の実施の形態]

本実施の形態は、前述した第1、第2の実施の形態のように、選択素子（MOSFET、バイポーラトランジスタ、ダイオード等）を必要としないクロスポイント型セルである。図6にそのセル構造を示す。図7は本実施の形態の読出し時の等価回路である。

【0061】

すなわち、P型シリコン基板（P-sub）21の主表面には、STI領域22が形成されている。このSTI領域22及びシリコン基板21上には、層間絶縁膜49が形成されている。この層間絶縁膜49中にはワード線48が埋め込まれており、このワード線48上にTMR素子10が設けられる。このTMR素子10は、図8に示したように、2つの強磁性層（メモリ層とピン層）11、12により絶縁層（トンネルバリア）13を挟んだ構造部を有し、これら2つの強磁性層11、12の一方側には固定層としての反強磁性層14が配置されている。ここで、上記TMR素子10のスピン向きは、紙面に対して垂直方向でも平行方向でもかまわない。

【0062】

上記層間絶縁膜49及び上記TMR素子10上には、金属層からなるビット線（読み出し・書き込み兼用）45が上記ワード線48と交差する方向に配置されている。

【0063】

このタイプのメモリセルは、ワード線48とビット線45の2本の配線のみを使用して、読み出しと書き込み動作を行う。このため、選択セル以外のセルにも

電流が流れる。よって、回路動作に工夫が必要である。

【0064】

上記のような構成によれば、選択素子のないクロスポイント型MRAMにおいても読み出しマージンを大きく設定できる。

【0065】

なお、上記第3の実施の形態では、ワード線48をTMR素子10の下方に配置し、ビット線45をTMR素子10の上方に配置したが、ワード線48をTMR素子10の上方に配置し、ビット線45をTMR素子10の下方に配置しても良いのはもちろんである。

【0066】

以上第1乃至第3の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0067】

【発明の効果】

以上説明したように、この発明によれば、読み出しマージンを大きくできる磁気ランダムアクセスメモリが得られる。

【図面の簡単な説明】

【図1】

この発明の第1の実施の形態に係る磁気ランダムアクセスメモリの概略構成例を示しており、磁気ランダムアクセスメモリにおける読み出し動作に関する回路部に着目し、メモリセルアレイ部とセンスアンプ部とを抽出して示す回路図。

【図2】

図1に示したメモリセルアレイ中の各メモリセルの構成例を示す断面図。

【図3】

図1及び図2に示した磁気ランダムアクセスメモリの読み出し時の等価回路。

【図4】

この発明の第2の実施の形態に係る磁気ランダムアクセスメモリについて説明するためのもので、メモリセルアレイ中の各メモリセルの構成例を示す断面図。

【図5】

図4に示した磁気ランダムアクセスメモリの読み出し時の等価回路。

【図6】

この発明の第3の実施の形態に係る磁気ランダムアクセスメモリについて説明するためのもので、メモリセルアレイ中の各メモリセルの構成例を示す断面図。

【図7】

図6に示した磁気ランダムアクセスメモリの読み出し時の等価回路。

【図8】

磁気ランダムアクセスメモリで用いられるTMR素子の構成例を示す断面図。

【図9】

TMR素子におけるピン層のスピンについて説明するための断面図。

【図10】

TMR素子に対する書き込み動作の原理について説明するための概略図。

【図11】

TMR曲線を示す図。

【図12】

アステロイド曲線を示す図。

【符号の説明】

10…TMR素子

27…ゲート電極（読み出しワード線）

37…書き込みワード線

45…ビット線

48…ワード線

5 0 … センスアンプ部 (読み出し回路)

5 1 … 電流源 (電流規定部)

5 2 … MOSFET

5 3 … オペアンプ (電圧設定部)

5 4 … オペアンプ (比較部)

MC 1 1 ~ MC m n … メモリセル (TMR 素子)

WL 1 ~ WL n … 書き込みワード線

BL 1 ~ BL m … ビット線 (データ選択線)

RD … ロウデコーダ

CD … カラムデコーダ

CSG 1 ~ CSG m … カラム選択ゲート

CSL 1 ~ CSL m … カラム選択信号

Tr … MOSFET

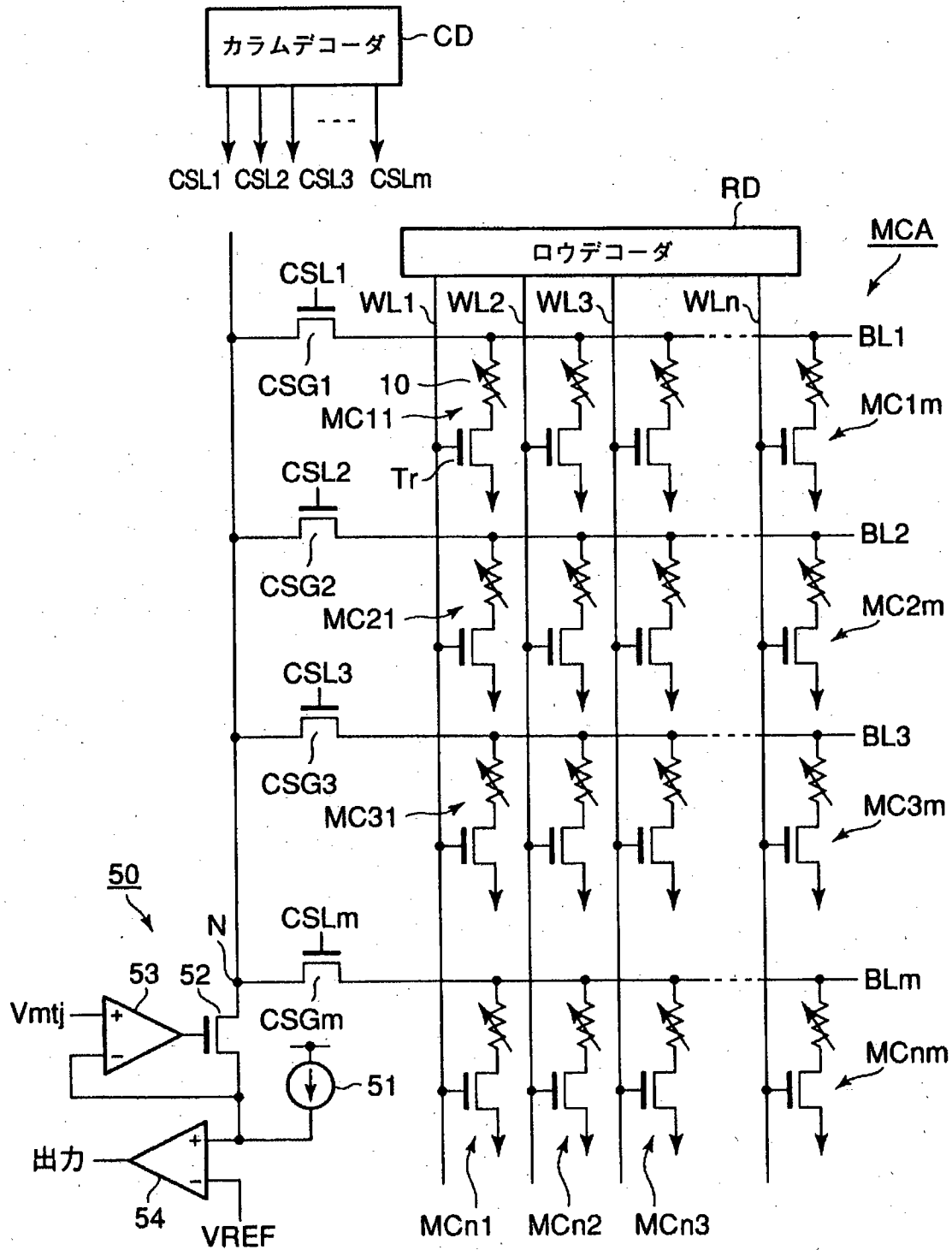
D … ダイオード

Vh … MR 比が印加電圧 0 V のときに比べて半分になる電圧

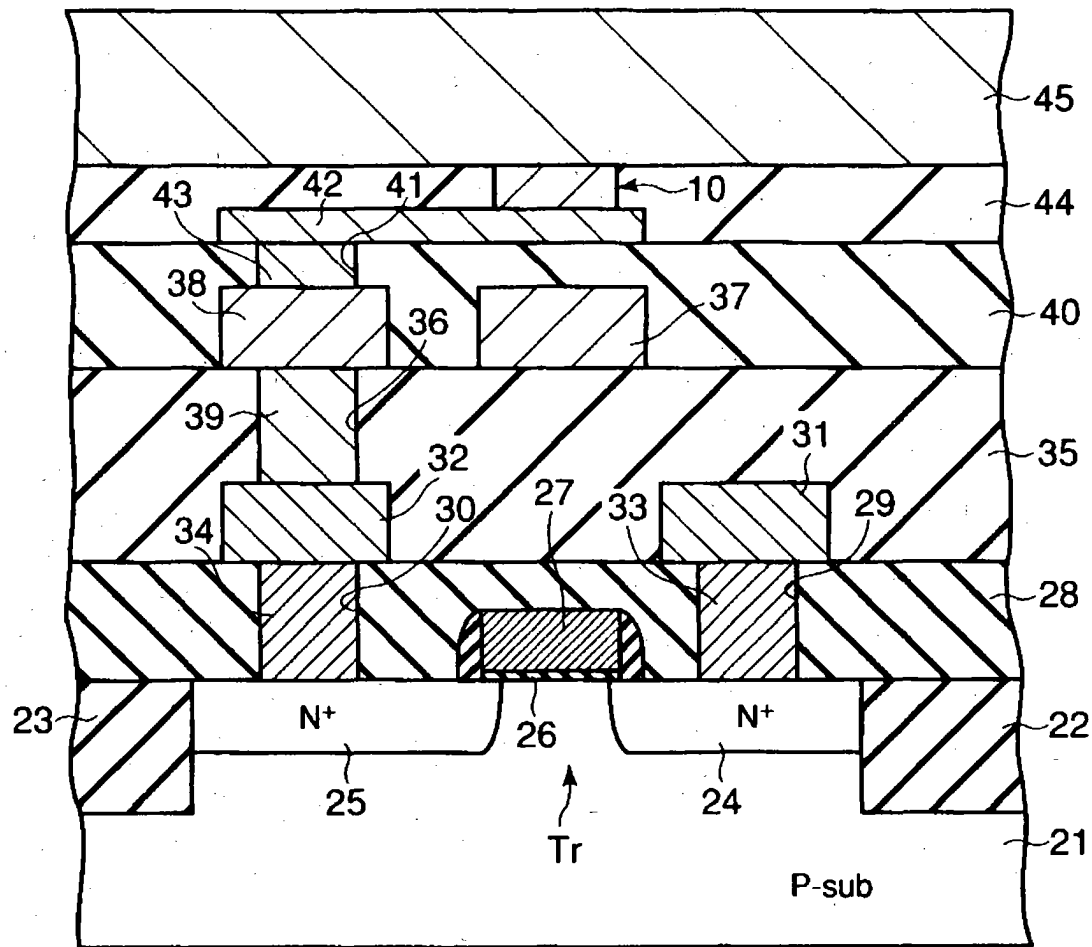
【書類名】

図面

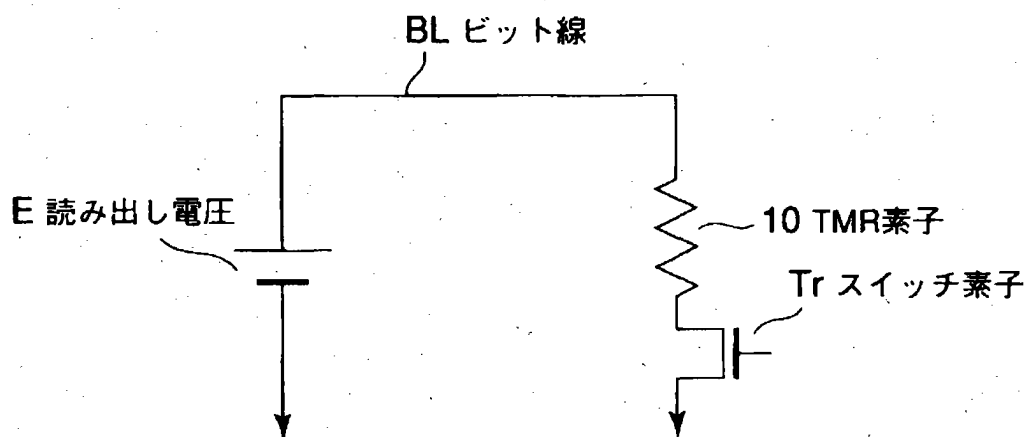
【図1】



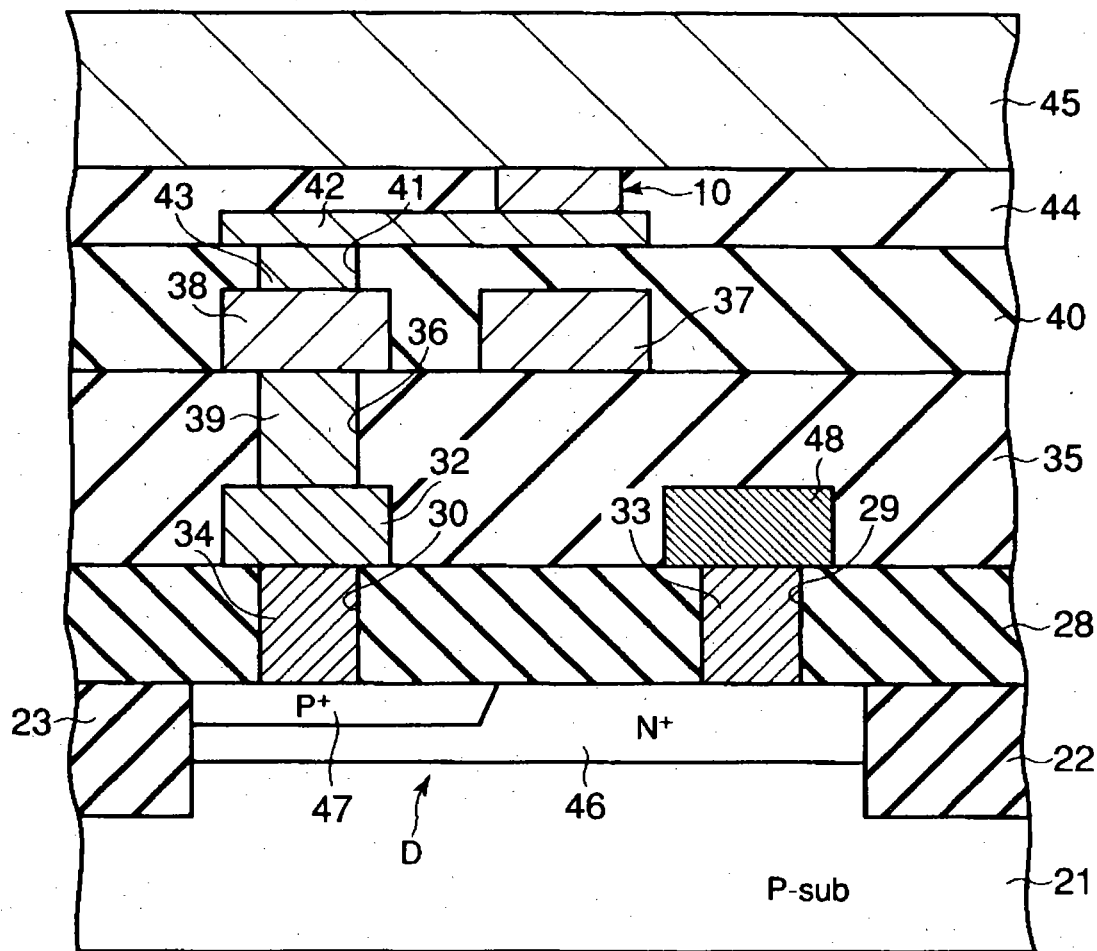
【図 2】



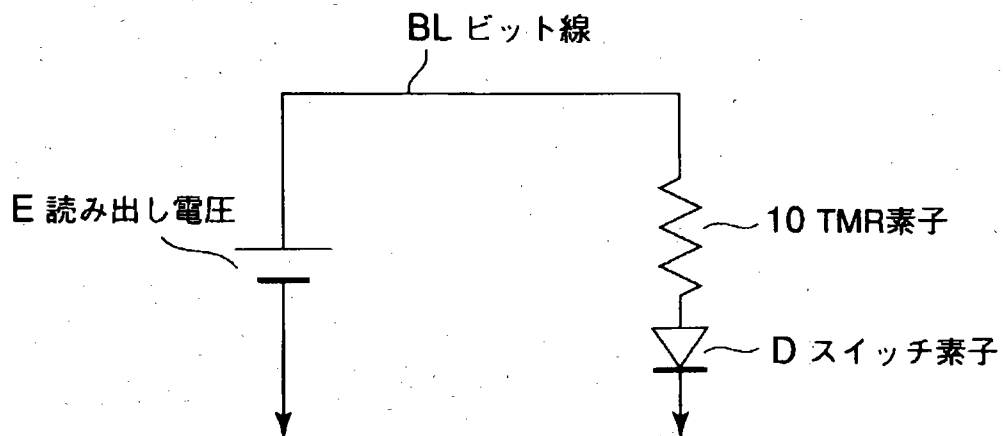
【図 3】



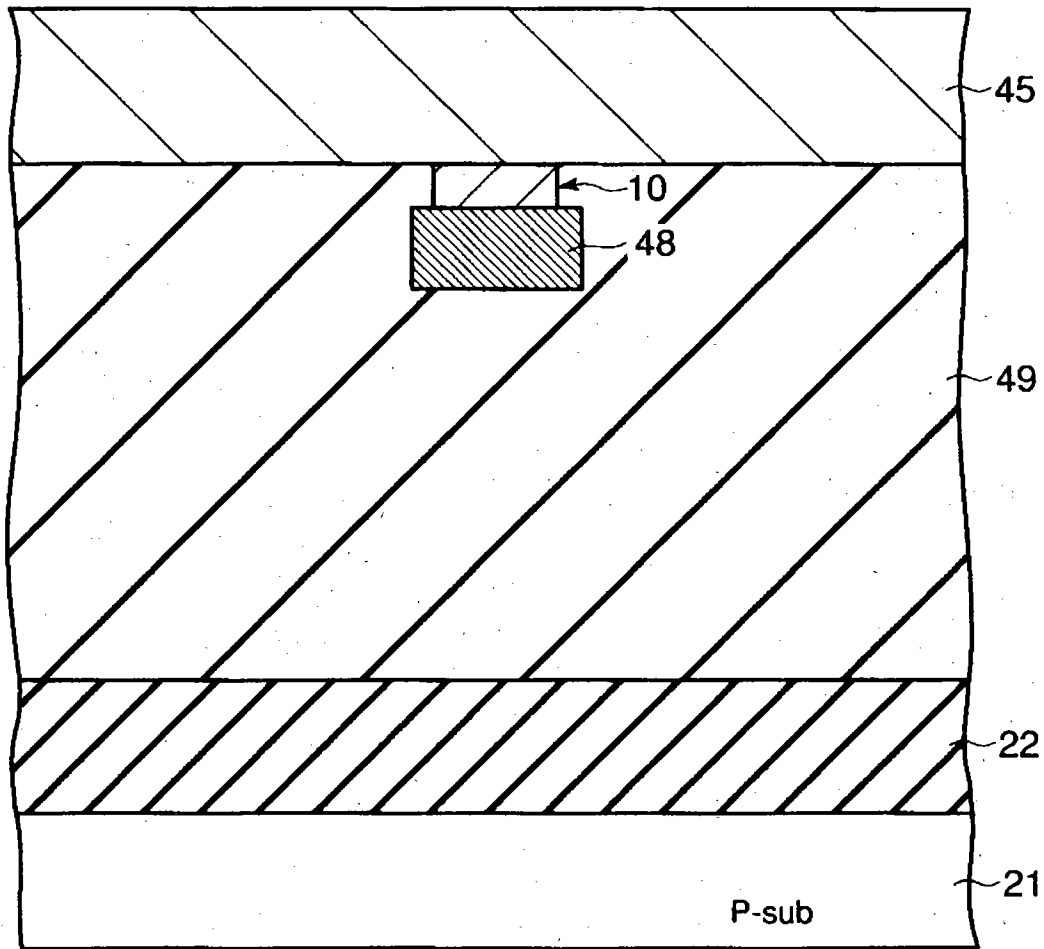
【図 4】



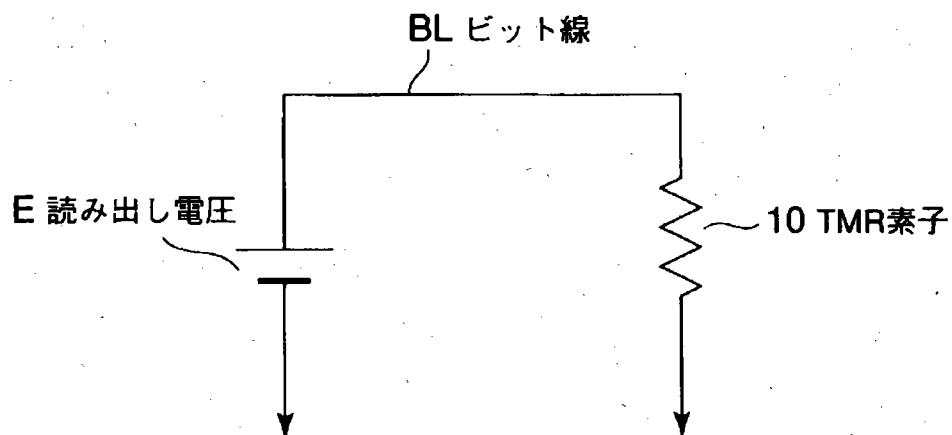
【図5】



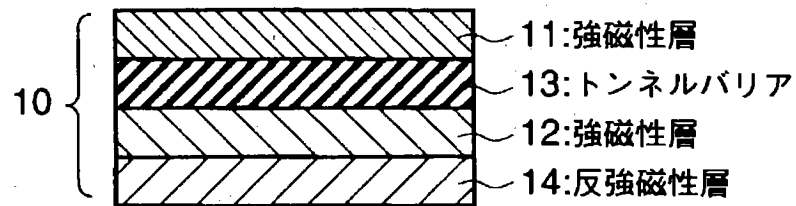
【図6】



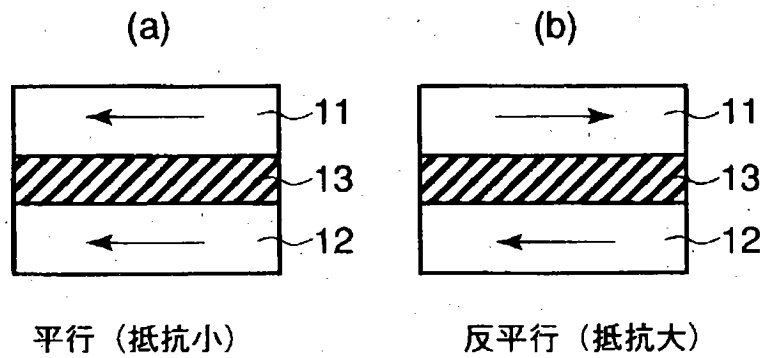
【図7】



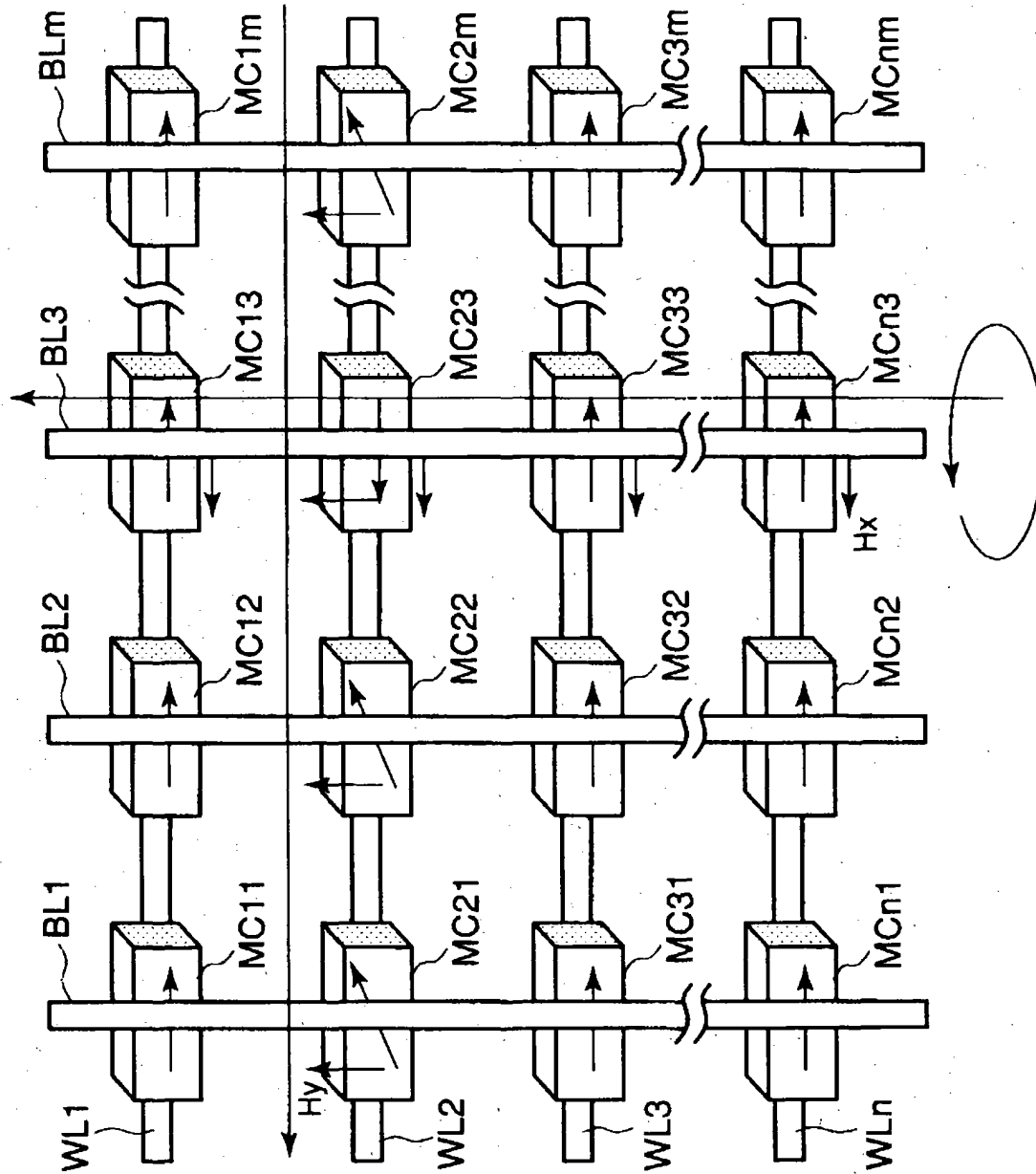
【図 8】



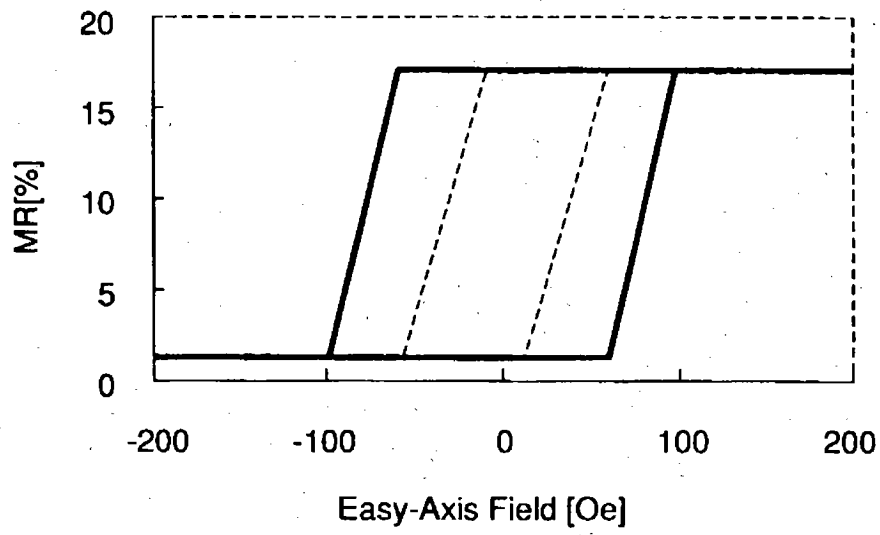
【図 9】



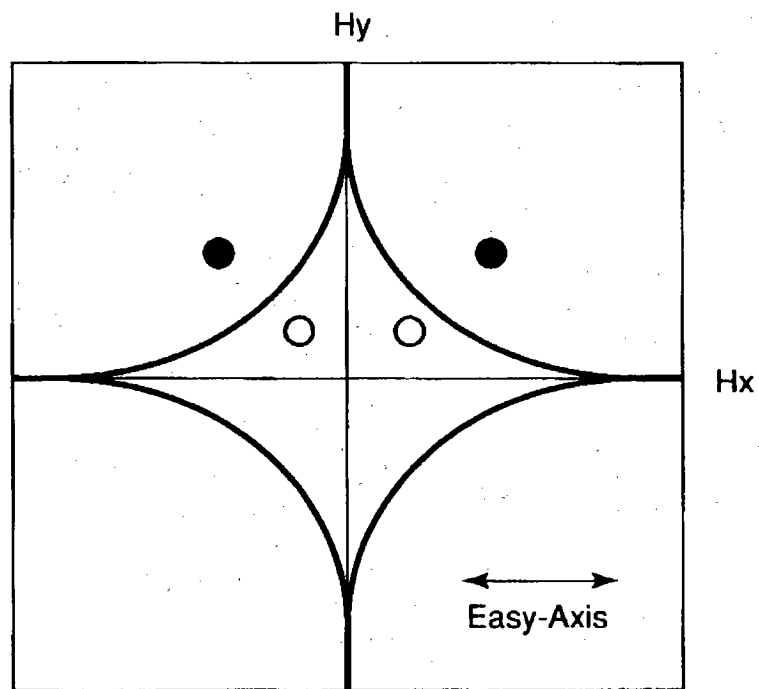
【図10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 読み出しマージンを大きくできる磁気ランダムアクセスメモリを提供することを目的とする。

【解決手段】 磁気ランダムアクセスメモリは、TMR素子10と選択素子Trとを有するメモリセルMC11~MCnmと、選択したメモリセルに読み出し電圧を印加し、選択素子を介してTMR素子に電流を流すことにより、TMR素子から記憶情報を読み出す読み出し回路50とを備えている。上記読み出し回路は、情報の読み出し時に、TMR素子の抵抗変化率が、当該TMR素子の両端に0Vを印加した時の抵抗変化率の実質的に半分になる電圧VhをTMR素子に印加するための電圧設定部を備えることを特徴としている。これによって、TMR素子のMR比の低下を抑制しつつ、TMR素子と選択素子との直列回路の両端に印加する電圧を大きくできるので、読み出しマージンを向上できる。

【選択図】 図1

出願人履歴情報

識別番号 {000003078}

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝